

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-052993  
 (43)Date of publication of application : 23.02.2001

(51)Int.CI.

H01L 21/027  
 G03F 7/20  
 H01L 21/76

(21)Application number : 11-229568

(71)Applicant : SONY CORP

(22)Date of filing : 16.08.1999

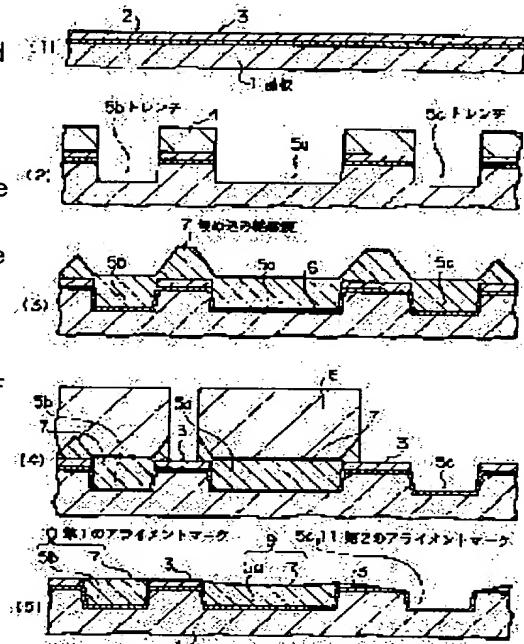
(72)Inventor : TAKAGI YOSHIKO

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

## (57)Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor device and its manufacturing method, which enable accurate alignment, regardless of the wavelength of the alignment light and the type and thickness of a film formed on a substrate.

SOLUTION: A plurality of trenches 5a, 5b and 5c are formed on the surface side of a substrate 1, and a silicon oxide embedding insulating film 7 is formed on the substrate 1 in a state of filling the trenches 5a, 5b and 5c. After the part of the filling insulating film 7 in the trench 5c is removed while leaving the filling insulating film 7 covering the trenches 5a and 5b, the insulating film 7 on the substrate 1 is polished by a CMP method to leave only the parts of the insulating film 7 in the trenches 5a and 5b. With this constitution, an element isolation region 9 formed by embedding the trench 5a with the insulating film 7, a 1st alignment mark 10 formed by embedding the trench 5b with the insulating film 7 and the 2nd alignment mark 11 consisting of the trench 5c are provided on the surface side of the substrate 1.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-52993

(P2001-52993A)

(43)公開日 平成13年2月23日 (2001.2.23)

(51)Int.Cl.  
H 01 L 21/027  
G 03 F 7/20  
H 01 L 21/76

識別記号  
521

F I  
H 01 L 21/30  
G 03 F 7/20  
H 01 L 21/76

5 0 2 M 5 F 0 3 2  
5 2 1 5 F 0 4 6  
L

テーマコード(参考)

審査請求 未請求 請求項の数2 OL (全5頁)

(21)出願番号 特願平11-229568

(22)出願日 平成11年8月16日 (1999.8.16)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 高木賀子

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(74)代理人 100086298

弁理士 船橋國則

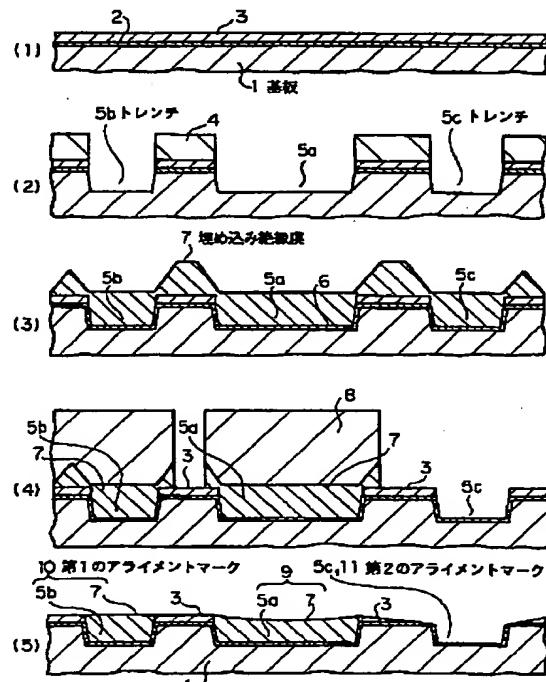
Fターム(参考) 5F032 AA34 AA44 AA45 DA04 DA23  
DA24 DA25 DA28 DA33 DA53  
5F046 EA12 EA17 EA23 EA24 EA26  
EB01

(54)【発明の名称】 半導体装置及び半導体装置の製造方法

(57)【要約】

【課題】アライメント光の波長、基板上に形成される膜の種類や膜厚によらず正確な位置合わせが行われる半導体装置及びその製造方法を提供する。

【解決手段】基板1の表面側に複数のトレンチ5a, 5b, 5cを形成し、これらのトレンチ5a, 5b, 5c内を埋め込む状態で、酸化シリコンからなる埋め込み絶縁膜7を基板1上に形成する。トレンチ5a及びトレンチ5b内に埋め込み絶縁膜7を残し、トレンチ5c内の埋め込み絶縁膜7を除去したのち、基板1上の絶縁膜7をC MP法によって研磨し、トレンチ5a及びトレンチ5b内にのみ埋め込み絶縁膜7を残す。これによって、基板1の表面側に、トレンチ5a内に埋め込み絶縁膜7を埋め込んでなる素子分離9と、トレンチ5bに埋め込み絶縁膜7を埋め込んでなる第1のアライメントマーク10と、トレンチ5cからなる第2のアライメントマーク11とを形成する。



## 【特許請求の範囲】

【請求項1】 基板の表面側に形成されたトレンチ内に光を透過する絶縁物を埋め込んでなる第1のアライメントマークと、前記基板の表面側に形成されたトレンチからなる第2のアライメントマークとを有することを特徴とする半導体装置。

【請求項2】 基板の表面側に複数のトレンチを形成する工程と、前記トレンチのうちの少なくとも1つを残して他のトレンチの内部に光を透過する絶縁膜を埋め込む工程とを行い、

前記トレンチに前記絶縁膜を埋め込んでなる第1のアライメントマークと、前記トレンチからなる第2のアライメントマークとを形成することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体装置及び半導体装置の製造方法に関し、特にトレンチ素子分離及びトレンチを用いたアライメントマークを有する半導体装置及びその製造方法に関する。

## 【0002】

【従来の技術】 半導体集積回路のような半導体装置においては、素子間もしくは素子内における所要部間の絶縁分離として、基板表面に形成したトレンチに絶縁膜を埋め込んでなるトレンチ素子分離が広く用いられている。このようなトレンチ素子分離を有する半導体装置を製造する場合には、先ず、図3に示すように、基板101の表面側に素子分離用のトレンチ102aを形成する。この際、基板101の表面側には、リソグラフィーの際の位置合わせのターゲットとなるアライメントマーク用のトレンチ102bを同時に形成する。その後、これらのトレンチ102a, 102bが埋め込まれる膜厚で光を透過する絶縁膜103を成膜し、CMP(Chemical Mechanical Polishing; 化学的機械研磨)法によって絶縁膜103を表面側から研磨してトレンチ102a, 102b内にのみ絶縁膜103を残す。以上によって、トレンチ102a内に絶縁膜103を埋め込んでなる素子分離104と、トレンチ102b内に絶縁膜103を埋め込んでなるアライメントマーク105が得られる。

【0003】 その後、素子分離104及びアライメントマーク105を覆う状態で、基板1の上方にレジスト膜106を形成し、このレジスト膜106に対して、レチクル(図示省略)を用いたパターン露光及びその後の現像処理を行うことによって、レジスト膜106に開口部(図示省略)を形成する。パターン露光においては、光照射によってアライメントマーク105を検出してレチクルの位置合わせを行い、素子分離104に対して所定の位置に開口部が形成されるようにする。アライメント

マーク105を検出する際には、例えば基板101の表面で反射させたアライメント光の位相変化によって、基板101表面の段差を検知し、これによってアライメントマーク105の位置を得ている。

## 【0004】

【発明が解決しようとする課題】 ところが、このような半導体装置及び半導体装置の製造方法には、次のような課題がある。すなわち、図4に示すように、さらに工程が進み、素子分離104及びアライメントマーク105を覆う状態で、タンゲステンシリサイドのような光反射膜107が基板101上に形成された場合、光反射膜107表面の段差が小さくなるため、アライメント光を用いてアライメントマーク105を検出することが困難になる。このため、この光反射膜107上のレジスト膜108に対してパターン露光を行う場合、レチクルの位置合わせが困難になる。

【0005】 そこで、図5に示すように、トレンチ102a, 102b内に絶縁膜103を埋め込んだ後、アライメントマーク用のトレンチ102b内の絶縁膜103のみを除去し、トレンチ102bからなるアライメントマーク105'を形成することが考えられた。このようなアライメントマーク105'を設けた場合には、基板101上に光反射膜107が形成された場合であっても、光反射膜107表面の段差が確保されるため、アライメント光を用いてアライメントマーク105'を検出することができる。

【0006】 しかしこのようなアライメントマーク105'を用いた場合であっても、図6に示すように、このアライメントマーク105'の段差が埋め込まれる程に膜厚の厚いレジスト膜109が、基板101上に表面平坦に形成された場合、アライメントマーク105'を構成するトレンチ102bの段差と、アライメントマーク105'を検出するための照射光の波長との関係によっては、アライメントマーク105'部分においてこの照射光が干渉し、アライメントマーク105'を検出できないことがある。特に、アライメント光の波長λ(例えば $\lambda=530\text{nm}\sim800\text{nm}$ 程度)に対して、トレンチ102の深さが $1/4$ 程度にまで浅くなった場合には、アライメントマーク105'の検出が困難になる。

## 【0007】

【課題を解決するための手段】 このような課題を解決するための本発明の半導体装置は、基板の表面側に形成されたトレンチ内に光を透過する絶縁物を埋め込んでなる第1のアライメントマークと、この基板の表面側に形成されたトレンチからなる第2のアライメントマークとを有することを特徴としている。

【0008】 また、本発明の半導体装置の製造方法は、基板の表面側に複数のトレンチを形成する工程と、これらのトレンチのうちの少なくとも1つを残して他のトレンチの内部に光を透過する絶縁膜を埋め込む工程とを行

う。これによって、基板の表面側に、トレンチに光を透過する絶縁膜を埋め込んでなる第1のアライメントマークと、トレンチからなる第2のアライメントマークとを形成することを特徴としている。

【0009】このような半導体装置及び半導体装置の製造方法では、基板の表面側には、トレンチ内に絶縁膜を埋め込んでなる第1のアライメントマークと、トレンチからなる第2のアライメントマークと設けられる。このため、第1のアライメントマーク及び第2のアライメントマークを覆う状態で光反射膜が形成され、トレンチに絶縁膜を充填してなる第1のアライメントマークが光反射膜で覆われることによって第1のアライメントマーク部分の表面段差が小さくなり、第1のアライメントマークをアライメント光の照射によって検出することが困難になった場合であっても、トレンチからなる第2のアライメントマークを覆う光反射膜部分の表面段差が確保されるため、第2のアライメントマークがアライメント光の照射によって検出される。一方、トレンチからなる第2のアライメントマークが埋め込まれる程度に膜厚の厚いレジスト膜が形成され、第2のアライメントマークを構成するトレンチの深さと、アライメント光の波長との関係によって、第2のアライメントマーク部分においてこのアライメント光が干渉し、第2のアライメントマークの検出が困難になった場合であっても、第1のアライメントマークにおいてはトレンチに埋め込まれた絶縁膜部分をアライメント光が通過することで位相にずれが生じるため、アライメント光の干渉が防止され、第1のアライメントマークが検出される。

#### 【0010】

【発明の実施の形態】以下、本発明の実施の形態を図1及び図2の断面工程図に基づいて詳細に説明する。

【0011】先ず、図1(1)に示すように、単結晶シリコンからなる基板1を用意し、熱酸化法によってその表面に例えば厚さ約10nmの酸化膜(いわゆるパッド酸化膜)2を形成する。

【0012】次に、このパッド酸化膜2上に、以降の工程で行われるCMP法による研磨において、研磨ストップとなるストップ層3を被着形成する。このストップ層3は、例えば膜厚約200nmの窒化シリコン膜からなることとする。

【0013】その後、図1(2)に示すように、このストップ層3上にレジストパターン4を形成し、このレジストパターン4をマスクにして、ストップ層3、パッド酸化膜2及び基板1の表面層を順次異方性エッティングする。この異方性エッティングは、例えば、RIE(Reactive Ion Etching; 反応性イオンエッティング)法によって行うこととする。これによって、基板1の表面側に、例えば深さ約400nmのトレンチ5a, 5b, 5cを形成する。これらのトレンチ5a, 5b, 5cは、素子分離として用いられるトレンチ5a、及び位置合わせの

ためのターゲットとなるアライメントマーク用のトレンチ5b, 5cである。

【0014】次に、図1(3)に示すように、レジストパターン(4)を剥離した後、熱酸化法によってトレンチ5a, 5b, 5cの内壁に内壁酸化膜6を成長させる。この熱酸化においては、例えば塩酸を1%含むドライ酸化雰囲気中で1000°Cの加熱を行うこととする。

【0015】以上の後、トレンチ5a, 5b, 5c内が埋め込まれる膜厚で、基板1の上方の全面に酸化シリコンからなる埋め込み絶縁膜7を形成する。この埋め込み絶縁膜7は、HDP-CVD(High Density Plasma-Chemical Vapor Deposition)法によって、例えば約600nm程度の膜厚で形成する。尚、この埋め込み絶縁膜7には、光を透過する材料を用いることとする。

【0016】次に、図1(4)に示すように、基板1の上方にレジストパターン8を形成し、このレジストパターン8をマスクにして、一部の面積の広いストップ層3上の埋め込み絶縁膜7をエッティング除去し、次のCMP工程における残渣(ストップ層3上の埋め込み絶縁膜7)を防止する。また、ここでは同時に、アライメントマーク用のトレンチ5b, 5cのうちの一つのトレンチ5c内の埋め込み絶縁膜7をエッティング除去する。

【0017】次いで、図1(5)に示すように、レジストパターン(8)を除去した後、CMP法によってストップ層3が露出するまで埋め込み絶縁膜7を研磨しトレンチ5a, 5b内にのみ埋め込み絶縁膜7を残す。

【0018】以上のようにして、基板1の表面側に、トレンチ5a内に埋め込み絶縁膜7を埋め込んでなる素子分離9と、トレンチ5b内に埋め込み絶縁膜7を埋め込んでなる第1のアライメントマーク10と、トレンチ5cからなる第2のアライメントマーク11とを形成する。

【0019】その後、図2(1)に示すように、窒化シリコンからなるストップ層(3)を加熱したリン酸水溶液によるウェットエッティングにて除去する。

【0020】次に、素子分離9、第1のアライメントマーク10及び第2のアライメントマーク11を覆う状態で、基板1の上方にレジスト膜12を形成する。このレジスト膜12は、イオン注入のマスクとしての十分な厚さを有し、表面平坦に形成されることとする。

【0021】その後、図2(2)に示すように、このレジスト膜12に対して、レチクル(図示省略)を用いたパターン露光及びその後の現像処理を行うことによって、レジスト膜12に基板1の表面層のパッド酸化膜2表面を露出させた開口部12aを形成する。このパターン露光においては、トレンチ5b内に埋め込み絶縁膜7を埋め込んでなる第1のアライメントマーク10を用いてレチクルの位置合わせを行うこととする。この際、アライメント光を基板1の表面側に照射し、基板1の表面で反射されたアライメント光の位相の変化によって第1

のアライメントマーク10の位置を検知する。

【0022】次に、以上のようにして開口部12aが形成されたレジスト膜12をマスクに用いたイオン注入によって、基板1の表面層にウェル拡散層を形成するための不純物13を導入する。

【0023】次いで、図2(3)に示すように、レジスト膜(12)を剥離した後、フッ酸を用いたウェットエッチングによってパッド酸化膜(2)と第2のアライメントマーク11の内壁酸化膜(6)を除去する。その後、基板1の露出表面にゲート酸化膜14を5nmの膜厚で形成し、次に、基板素子分離9、第1のアライメントマーク10及び第2のアライメントマーク11を覆う状態で、基板1の上方にポリシリコン膜15(膜厚100nm)、タングステンシリサイド膜16(膜厚100nm)を形成する。そして、さらに、このタングステンシリサイド膜16上にレジスト膜17を形成する。

【0024】その後、図2(4)に示すように、レチクル(図示省略)を用いたパターン露光及びその後の現像処理を行うことによって、このレジスト膜17をパターン化し、ゲート領域を覆うレジストパターン17aを形成する。このパターン露光では、トレンチ5cからなる第2のアライメントマーク11を用いてレチクルの位置合わせを行うこととする。この際、アライメント光を基板1の表面側に照射し、レジスト膜(17)下のタングステンシリサイド膜16の表面で反射されたアライメント光の位相の変化によって第2のアライメントマーク11の位置を検知する。

【0025】次に、ここでの図示は省略したが、レジストパターン17aをマスクに用いたドライエッチングによって、タングステンシリサイド膜16、ポリシリコン膜15、及びゲート酸化膜14を所要の形状にパターン化し、タングステンシリサイド膜16、ポリシリコン膜15からなるゲート電極を形成する。かかる後、このゲート電極をマスクに用いたイオン注入によって、基板1の表面層にソース及びドレイン(図示省略)を形成するための不純物を導入し、MOSFETを形成する。

【0026】このようにして得られた半導体装置は、トレンチ5b内に埋め込み絶縁膜7を埋め込んでなる第1のアライメントマーク10と、トレンチ5cからなる第2のアライメントマーク11とが同一の基板1に設けられたものになる。

【0027】このため、図2(1)を用いて説明したように、トレンチ5cからなる第2のアライメントマーク11が埋め込まれる程度に膜厚が厚く表面平坦なレジスト膜12が基板1上に形成され、トレンチ5cの深さと、アライメント光の波長λとの関係によって、第2のアライメントマーク11部分においてこのアライメント光が干渉し、第2のアライメントマーク11の検出が困難な場合であっても、第1のアライメントマーク10に

おいてはトレンチ5b内の埋め込み絶縁膜7部分をアライメント光が通過することで位相にずれが生じるため、アライメント光の干渉が防止され、第1のアライメントマーク10が検出される。したがって、パターン露光の際の位置合わせが正確に行われ、図2(2)に示したように、素子分離9に対する開口部12aの位置精度を確保することができる。

【0028】一方、図2(3)を用いて説明したように、基板1上に光反射膜となるタングステンシリサイド膜16が形成され、第1のアライメントマーク10がタングステンシリサイド膜16で覆われることによって表面段差が小さくなり、第1のアライメントマーク10をアライメント光の照射によって検出することが困難になった場合であっても、トレンチ5cからなる第2のアライメントマーク11を覆うタングステンシリサイド膜16部分の表面段差は確保されるため、第2のアライメントマーク16がアライメント光の照射によって検出される。したがって、パターン露光の際の位置合わせが正確に行われ、図2(4)に示したように、例えば素子分離9に対するレジストパターン17aの位置精度を確保することができる。

【0029】

【発明の効果】以上説明したように本発明によれば、トレンチ内に光を透過する絶縁膜を埋め込んでなる第1のアライメントマークと、トレンチからなる第2のアライメントマークとを同一の基板に設けたことで、トレンチの深さ、アライメント光の波長及び基板上に形成される膜の種類や膜厚によらず、第1のアライメントマーク及び第2のアライメントマークのうちの何方が一方を用いてアライメント光を用いた位置合わせを行うことが可能になる。このため、位置合わせ不良によるパターンの位置ずれを防止することができ、半導体装置の歩留りの向上を図ることが可能になる。

【図面の簡単な説明】

【図1】本発明の実施の形態を説明するための断面工程図(その1)である。

【図2】本発明の実施の形態を説明するための断面工程図(その2)である。

【図3】従来の技術を説明するための断面図である。

【図4】従来の技術の課題を説明するための断面図である。

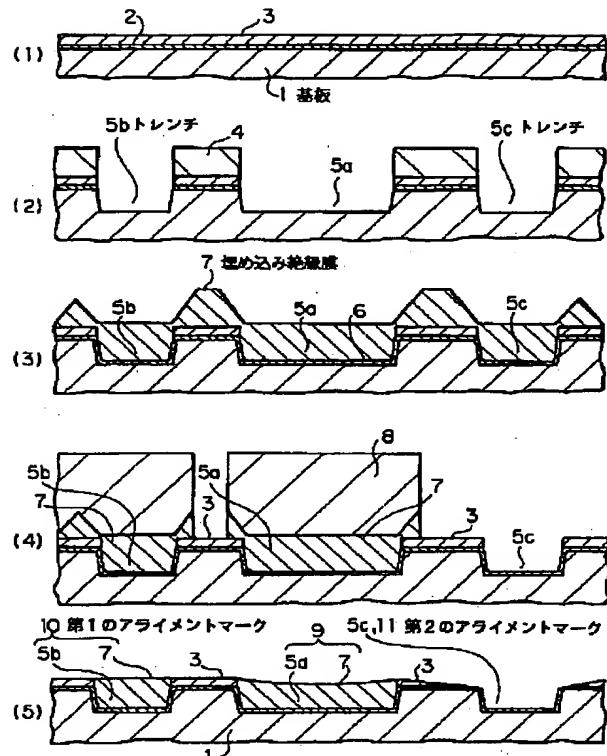
【図5】他の従来の技術を説明するための断面図である。

【図6】他の従来の技術の課題を説明するための断面図である。

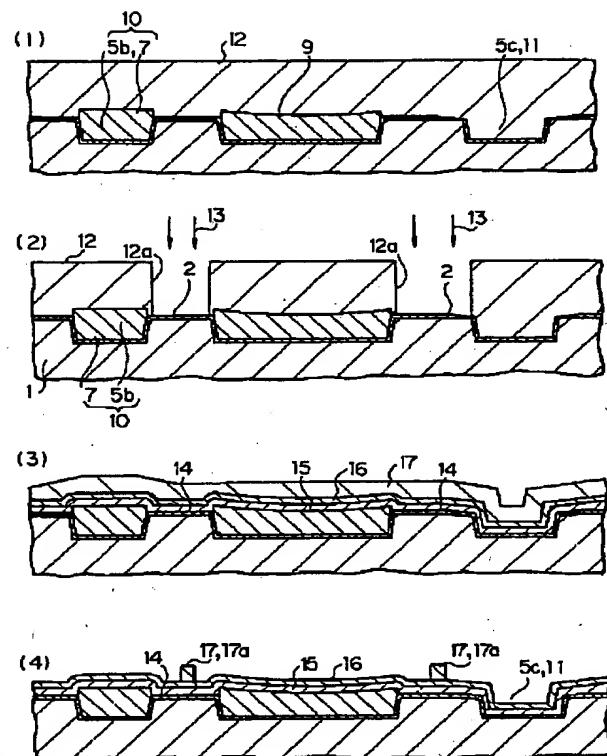
【符号の説明】

1…基板、5b, 5c…トレンチ、7…埋め込み絶縁膜、10…第1のアライメントマーク、11…第2のアライメントマーク

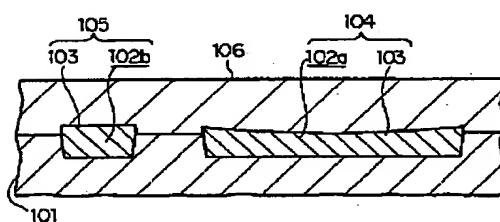
【図1】



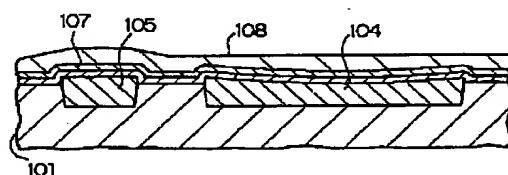
【図2】



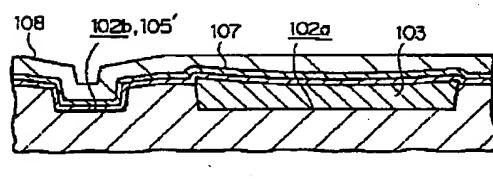
【図3】



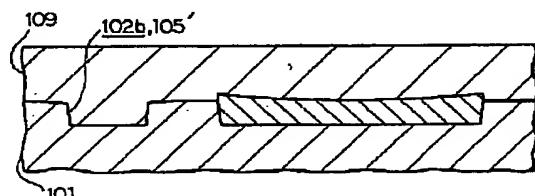
【図4】



【図5】



【図6】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**